



1. 一种基于正反馈的悬浮差分有源电感,其特征在于该悬浮差分有源电感包括:

差分阻抗变换器,用于将第一电容和第二电容产生的电感的电容变换成悬浮差分的有源电感;差分阻抗变换器由第一 PMOS 管、第二 PMOS 管、第三 PMOS 管和第四 PMOS 管、第一电容和第二电容组成;第一 PMOS 管的栅极与第二 PMOS 管的漏极相连,第一 PMOS 管的漏极与第二 PMOS 管的栅极相连;第二 PMOS 管的栅极与第三 PMOS 管的漏极相连,第二 PMOS 管的漏极与第三 PMOS 管的栅极相连,第三 PMOS 管的栅极与第四 PMOS 管的漏极相连,第三 PMOS 管的漏极与第四 PMOS 管的栅极相连;

第一电容和第二电容,用于产生电感,第一电容的正极同时与上述第一 PMOS 管的漏极、上述第二 PMOS 管的栅极、上述第三 PMOS 管的漏极和上述第四 PMOS 管的栅极相连,第一电容的负极接地;第二电容的正极同时与上述第一 PMOS 管的栅极、上述第二 PMOS 管的漏极、上述第三 PMOS 管的栅极和上述第四 PMOS 管的漏极相连,第二电容的负极接地;

正跨导稳定器,用于对上述差分阻抗变换器的负阻抗进行补偿;正跨导稳定器由第五 PMOS 管和第六 PMOS 管组成,第五 PMOS 管的栅极和漏极同时接地,第五 PMOS 管的源极同时与第一电容的正极、第一 PMOS 管的漏极、第二 PMOS 管的栅极、第三 PMOS 管的漏极和第四 PMOS 管的栅极相连;第六 PMOS 管的栅极和漏极同时接地,第六 PMOS 管的源极同时与第二电容的正极、第一 PMOS 管的栅极、第二 PMOS 管的漏极、第三 PMOS 管的栅极和第四 PMOS 管的漏极相连;

负跨导抵消器,用于抵消上述差分阻抗变换器的并联阻抗;负跨导抵消器由第七 PMOS 管、第八 PMOS 管、第九 PMOS 管和第十 PMOS 管组成;第七 PMOS 管的栅极与所述的第二 PMOS 管的源极相连,第七 PMOS 管的漏极与所述的第一 PMOS 管的源极相连,第七 PMOS 管的源极接电源;第八 PMOS 管的栅极与所述的第一 PMOS 管的源极相连,第八 PMOS 管的漏极与所述的第二 PMOS 管的源极相连,第八 PMOS 管的源极接电源;第九 PMOS 管的栅极与所述的第四 PMOS 管的源极相连,第九 PMOS 管的漏极与所述的第三 PMOS 管的源极相连,第九 PMOS 管的源极接电源;第十 PMOS 管的栅极与所述的第三 PMOS 管的源极相连,第十 PMOS 管的漏极与所述的第四 PMOS 管的源极相连,第十 PMOS 管的源极接电源;

上述第一 PMOS 管的源极、第七 PMOS 管的漏极和第八 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第一端口正端,上述第二 PMOS 管的源极、第八 PMOS 管的漏极和第七 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第一端口负端;上述第三 PMOS 管的源极、第九 PMOS 管的漏极和第十 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第二端口负端,上述第四 PMOS 管的源极、第十 PMOS 管的漏极和第九 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第二端口正端;

上述第一 PMOS 管、第二 PMOS 管、第三 PMOS 管、第四 PMOS 管、第五 PMOS 管、第六 PMOS 管、第七 PMOS 管、第八 PMOS 管、第九 PMOS 管、第十 PMOS 管的源极和衬底各自相连。

## 一种基于正反馈的悬浮差分有源电感

### 技术领域

[0001] 本发明涉及一种基于正反馈的悬浮差分有源电感,属于有源电感设计技术领域。

### 背景技术

[0002] 滤波器是各种通信系统中必不可少的模块,例如射频收发机中的中频滤波器。图 1(a) 中给出了一种三阶基于电感电容梯形滤波器(LC Ladder Filter)的单端结构,其中无源电感两端  $V_1$  和  $V_2$  可以是同相的,这时无源电感是悬浮单端连接方式。图 1(b) 给出了图 1(a) 对应的差分结构,主要是因为差分结构有利于改善线性度和抑制共模噪声。无源电感的第一端口和第二端口之间悬浮连接,每个端口又是差分结构,第一端口正端和第一端口负端对应  $V_{1p}$  和  $V_{1n}$ ,第二端口正端和第二端口负端对应  $V_{2p}$  和  $V_{2n}$ ,这时无源电感是悬浮差分连接方式,如图 1(c) 所示。

[0003] 在硅基工艺上,无源电感通常是在硅基衬底上形成的金属螺旋电感。螺旋电感虽然结构简单,但是占用较大的芯片面积,受到硅基衬底损耗和导体损耗的影响使得螺旋电感的品质因数和自谐振频率都很低。而有源电感因为占用芯片面积小、高品质因数等特点更受青睐。有源电感的实现主要采用有源晶体管和电容组合起来实现有源电感特性。目前,采用基于负反馈的阻抗变换器和电容组合起来实现有源电感。图 2 给出了对应图 3 的基于负反馈的悬浮差分有源电感,用于替换图 3 中的悬浮差分无源电感。

[0004] 对于图 2 所示的基于负反馈的悬浮差分有源电感中的跨导单元,以图 3 所示的 Nauta 差分跨导(Bram Nauta, "A CMOS Transconductance-C Filter Technique for Very High Frequencies" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 27, NO. 2. FEBRUARY 1992) 为例。正跨导由四个晶体管组成;负跨导用于提高直流增益;二极管连接的四个晶体管用于确定输出共模电压。即使仅考虑四个晶体管构成的正跨导,图 2 所示的基于负反馈的悬浮差分有源电感需要 16 个晶体管,加之其他考虑所需晶体管数目,通常基于负反馈的悬浮全差分有源电感需要十个以上晶体管,使得传统悬浮差分有源电感设计复杂,同时基于负反馈的悬浮差分有源电感的高低品质因数(Q) 变化设计复杂。

### 发明内容

[0005] 本发明的目的是提出一种基于正反馈的悬浮差分有源电感,用于替换悬浮差分无源电感,以用于电感替代法设计有源滤波器。

[0006] 本发明提出的基于正反馈的悬浮差分有源电感,包括:

[0007] 差分阻抗变换器,用于将第一电容和第二电容产生的电感的电容变换成悬浮差分的有源电感;差分阻抗变换器由第一 PMOS 管、第二 PMOS 管、第三 PMOS 管和第四 PMOS 管、第一电容和第二电容组成;第一 PMOS 管的栅极与第二 PMOS 管的漏极相连,第一 PMOS 管的漏极与第二 PMOS 管的栅极相连;第二 PMOS 管的栅极与第三 PMOS 管的漏极相连,第二 PMOS 管的漏极与第三 PMOS 管的栅极相连,第三 PMOS 管的栅极与第四 PMOS 管的漏极相连,第三 PMOS 管的漏极与第四 PMOS 管的栅极相连;

[0008] 第一电容和第二电容,用于产生电感,第一电容的正极同时与上述第一 PMOS 管的漏极、上述第二 PMOS 管的栅极、上述第三 PMOS 管的漏极和上述第四 PMOS 管的栅极相连,第一电容的负极接地;第二电容的正极同时与上述第一 PMOS 管的栅极、上述第二 PMOS 管的漏极、上述第三 PMOS 管的栅极和上述第四 PMOS 管的漏极相连,第二电容的负极接地;

[0009] 正跨导稳定器,用于对上述差分阻抗变换器的负阻抗进行补偿;正跨导稳定器由第五 PMOS 管和第六 PMOS 管组成,第五 PMOS 管的栅极和漏极同时接地,第五 PMOS 管的源极同时与第一电容的正极、第一 PMOS 管的漏极、第二 PMOS 管的栅极、第三 PMOS 管的漏极和第四 PMOS 管的栅极相连;第六 PMOS 管的栅极和漏极同时接地,第六 PMOS 管的源极同时与第二电容的正极、第一 PMOS 管的栅极、第二 PMOS 管的漏极、第三 PMOS 管的栅极和第四 PMOS 管的漏极相连;

[0010] 负跨导抵消器,用于抵消上述差分阻抗变换器的并联阻抗;负跨导抵消器由第七 PMOS 管、第八 PMOS 管、第九 PMOS 管和第十 PMOS 管组成;第七 PMOS 管的栅极与所述的第二 PMOS 管的源极相连,第七 PMOS 管的漏极与所述的第一 PMOS 管的源极相连,第七 PMOS 管的源极接电源;第八 PMOS 管的栅极与所述的第一 PMOS 管的源极相连,第八 PMOS 管的漏极与所述的第二 PMOS 管的源极相连,第八 PMOS 管的源极接电源;第九 PMOS 管的栅极与所述的第四 PMOS 管的源极相连,第九 PMOS 管的漏极与所述的第三 PMOS 管的源极相连,第九 PMOS 管的源极接电源;第十 PMOS 管的栅极与所述的第三 PMOS 管的源极相连,第十 PMOS 管的漏极与所述的第四 PMOS 管的源极相连,第十 PMOS 管的源极接电源;

[0011] 上述第一 PMOS 管的源极、第七 PMOS 管的漏极和第八 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第一端口正端,上述第二 PMOS 管的源极、第八 PMOS 管的漏极和第七 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第一端口负端;上述第三 PMOS 管的源极、第九 PMOS 管的漏极和第十 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第二端口负端,上述第四 PMOS 管的源极、第十 PMOS 管的漏极和第九 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第二端口正端。

[0012] 上述第一 PMOS 管、第二 PMOS 管、第三 PMOS 管、第四 PMOS 管、第五 PMOS 管、第六 PMOS 管、第七 PMOS 管、第八 PMOS 管、第九 PMOS 管、第十 PMOS 管的源极和衬底各自相连。

[0013] 本发明提出的基于正反馈的悬浮差分有源电感,采用电流复用技术,由差分阻抗变换器、正跨导稳定器和负跨导抵消器三部分组成。而在差分阻抗变换器中的基于正反馈的两对阻抗变换器仅由四个晶体管构成,加之用于补偿阻抗变换器中的负阻抗和抵消有源电感的并联损耗所需晶体管,总共用了十个晶体管,因此结构简单,易于设计;本发明的悬浮差分有源电感,可以通过调整负跨导稳定器和正跨导抵消器中晶体管的尺寸来改变有源电感的并联阻抗和串联阻抗,进而改变有源电感的品质因数,因此,本发明提出的悬浮差分有源电感的高低品质因数(Q)变化设计简单。

## 附图说明

[0014] 图 1 是已有的三阶基于电感电容梯形滤波器的单端结构 (a) 和差分结构 (b) 的示意图, (c) 为无源电感的悬浮差分连接方式。

[0015] 图 2 是已有的基于负反馈的悬浮单端电感 (a) 和悬浮差分电感 (b) 的示意图。

[0016] 图 3 是图 2 所示的悬浮差分电感中的差分跨导示意图。

[0017] 图 4 是本发明提出的基于正反馈的悬浮差分有源电感结构示意图。

[0018] 图 5 是采用本发明的悬浮差分有源电感的电感值随频率变化曲线图。

[0019] 图 6 是采用本发明的悬浮差分有源电感的不同品质因数(Q)随频率变化曲线图。

### 具体实施方式

[0020] 本发明提出的基于正反馈的悬浮差分有源电感,其结构如图 4 所示,包括:

[0021] 差分阻抗变换器,用于将第一电容和第二电容产生的电感的电容转换成悬浮差分的有源电感;差分阻抗变换器由第一 PMOS 管、第二 PMOS 管、第三 PMOS 管和第四 PMOS 管、第一电容和第二电容组成;第一 PMOS 管的栅极与第二 PMOS 管的漏极相连,第一 PMOS 管的漏极与第二 PMOS 管的栅极相连;第二 PMOS 管的栅极与第三 PMOS 管的漏极相连,第二 PMOS 管的漏极与第三 PMOS 管的栅极相连,第三 PMOS 管的栅极与第四 PMOS 管的漏极相连,第三 PMOS 管的漏极与第四 PMOS 管的栅极相连;

[0022] 第一电容和第二电容,用于产生电感,第一电容的正极同时与上述第一 PMOS 管的漏极、上述第二 PMOS 管的栅极、上述第三 PMOS 管的漏极和上述第四 PMOS 管的栅极相连,第一电容的负极接地;第二电容的正极同时与上述第一 PMOS 管的栅极、上述第二 PMOS 管的漏极、上述第三 PMOS 管的栅极和上述第四 PMOS 管的漏极相连,第二电容的负极接地;

[0023] 正跨导稳定器,用于对上述差分阻抗变换器的负阻抗进行补偿;正跨导稳定器由第五 PMOS 管和第六 PMOS 管组成,第五 PMOS 管的栅极和漏极同时接地,第五 PMOS 管的源极同时与第一电容的正极、第一 PMOS 管的漏极、第二 PMOS 管的栅极、第三 PMOS 管的漏极和第四 PMOS 管的栅极相连;第六 PMOS 管的栅极和漏极同时接地,第六 PMOS 管的源极同时与第二电容的正极、第一 PMOS 管的栅极、第二 PMOS 管的漏极、第三 PMOS 管的栅极和第四 PMOS 管的漏极相连;

[0024] 负跨导抵消器,用于抵消上述差分阻抗变换器的并联阻抗;负跨导抵消器由第七 PMOS 管、第八 PMOS 管、第九 PMOS 管和第十 PMOS 管组成;第七 PMOS 管的栅极与所述的第二 PMOS 管的源极相连,第七 PMOS 管的漏极与所述的第一 PMOS 管的源极相连,第七 PMOS 管的源极接电源;第八 PMOS 管的栅极与所述的第一 PMOS 管的源极相连,第八 PMOS 管的漏极与所述的第二 PMOS 管的源极相连,第八 PMOS 管的源极接电源;第九 PMOS 管的栅极与所述的第四 PMOS 管的源极相连,第九 PMOS 管的漏极与所述的第三 PMOS 管的源极相连,第九 PMOS 管的源极接电源;第十 PMOS 管的栅极与所述的第三 PMOS 管的源极相连,第十 PMOS 管的漏极与所述的第四 PMOS 管的源极相连,第十 PMOS 管的源极接电源;

[0025] 上述第一 PMOS 管的源极、第七 PMOS 管的漏极和第八 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第一端口正端,上述第二 PMOS 管的源极、第八 PMOS 管的漏极和第七 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第一端口负端;上述第三 PMOS 管的源极、第九 PMOS 管的漏极和第十 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第二端口负端,上述第四 PMOS 管的源极、第十 PMOS 管的漏极和第九 PMOS 管的栅极的相连节点成为悬浮差分有源电感的第二端口正端。

[0026] 上述第一 PMOS 管、第二 PMOS 管、第三 PMOS 管、第四 PMOS 管、第五 PMOS 管、第六 PMOS 管、第七 PMOS 管、第八 PMOS 管、第九 PMOS 管、第十 PMOS 管的源极和衬底各自相连。

[0027] 以下结合附图,详细介绍本发明的内容。

[0028] 差分阻抗变换器,用于将第一电容和第二电容变换成悬浮差分的有源电感;

[0029] 正跨导稳定器,用于对上述差分阻抗变换器的负阻抗进行补偿;

[0030] 负跨导抵消器,用于抵消有源电感的并联阻抗。

[0031] 上述方案中,所述的差分阻抗变换器由第一 PMOS 管( $M_{21}$ )、第二 PMOS 管( $M_{2r}$ )、第三 PMOS 管( $M_{41}$ )和第四 PMOS 管( $M_{4r}$ )组成;第一 PMOS 管( $M_{21}$ )的栅极与第二 PMOS 管( $M_{2r}$ )的漏极相连,第一 PMOS 管( $M_{21}$ )的漏极与第二 PMOS 管( $M_{2r}$ )的栅极相连;第二 PMOS 管( $M_{2r}$ )的栅极与第三 PMOS 管( $M_{41}$ )的漏极相连,第二 PMOS 管( $M_{2r}$ )的漏极与第三 PMOS 管( $M_{41}$ )的栅极相连,第三 PMOS 管( $M_{41}$ )的栅极与第四 PMOS 管( $M_{4r}$ )的漏极相连,第三 PMOS 管( $M_{41}$ )的漏极与第四 PMOS 管( $M_{4r}$ )的栅极相连;第一电容( $C_{1p}$ )的正极同时与第一 PMOS 管( $M_{21}$ )的漏极、第二 PMOS 管( $M_{2r}$ )的栅极、第三 PMOS 管( $M_{41}$ )的漏极和第四 PMOS 管( $M_{4r}$ )的栅极相连,第一电容( $C_{1p}$ )的负极接地电压(GND);第二电容( $C_{1n}$ )的正极同时与第一 PMOS 管( $M_{21}$ )的栅极、第二 PMOS 管( $M_{2r}$ )的漏极、第三 PMOS 管( $M_{41}$ )的栅极和第四 PMOS 管( $M_{4r}$ )的漏极相连,第二电容( $C_{1n}$ )的负极接地电压(GND);

[0032] 上述方案中,所述的正跨导稳定器由第五 PMOS 管( $M_{31}$ )和第六 PMOS 管( $M_{3r}$ )组成,第五 PMOS 管( $M_{31}$ )的栅极和漏极同时接地,第五 PMOS 管( $M_{31}$ )的源极同时与第一电容( $C_{1p}$ )的正极、第一 PMOS 管( $M_{21}$ )的漏极、第二 PMOS 管( $M_{2r}$ )的栅极、第三 PMOS 管( $M_{41}$ )的漏极和第四 PMOS 管( $M_{4r}$ )的栅极相连;第六 PMOS 管( $M_{3r}$ )的栅极和漏极同时接地,第六 PMOS 管( $M_{3r}$ )的源极同时与第二电容( $C_{1n}$ )的正极、第一 PMOS 管( $M_{21}$ )的栅极、第二 PMOS 管( $M_{2r}$ )的漏极、第三 PMOS 管( $M_{41}$ )的栅极和第四 PMOS 管( $M_{4r}$ )的漏极相连;

[0033] 上述方案中,所述的负跨导抵消器由第七 PMOS 管( $M_{11}$ )、第八 PMOS 管( $M_{1r}$ )、第九 PMOS 管( $M_{51}$ )和第十 PMOS 管( $M_{5r}$ )组成;第七 PMOS 管的栅极( $M_{11}$ )与所述的第二 PMOS 管( $M_{2r}$ )的源极相连,第七 PMOS 管( $M_{11}$ )的漏极与所述的第一 PMOS 管( $M_{21}$ )的源极相连,第七 PMOS 管( $M_{11}$ )的源极接电源电压(VDD);第八 PMOS 管( $M_{1r}$ )的栅极与所述的第一 PMOS 管( $M_{21}$ )的源极相连,第八 PMOS 管( $M_{1r}$ )的漏极与所述的第二 PMOS 管( $M_{2r}$ )的源极相连,第八 PMOS 管的源极接电源电压(VDD);第九 PMOS 管( $M_{51}$ )的栅极与所述的第四 PMOS 管( $M_{4r}$ )的源极相连,第九 PMOS 管( $M_{51}$ )的漏极与所述的第三 PMOS 管( $M_{41}$ )的源极相连,第九 PMOS 管( $M_{51}$ )的源极接电源电压(VDD);第十 PMOS 管( $M_{5r}$ )的栅极与所述的第三 PMOS 管( $M_{41}$ )的源极相连,第十 PMOS 管( $M_{5r}$ )的漏极与所述的第四 PMOS 管( $M_{4r}$ )的源极相连,第十 PMOS 管( $M_{5r}$ )的源极接电源电压(VDD);

[0034] 所述的第一 PMOS 管( $M_{21}$ )的源极、第七 PMOS 管( $M_{11}$ )的漏极和第八 PMOS 管( $M_{1r}$ )的栅极的相连节点成为悬浮差分有源电感的第一端口正端( $V_{1p}$ ),所述的第二 PMOS 管( $M_{2r}$ )的源极、第八 PMOS 管( $M_{1r}$ )的漏极和第七 PMOS 管( $M_{11}$ )的栅极的相连节点成为悬浮差分有源电感的第一端口负端( $V_{1n}$ );所述的第三 PMOS 管( $M_{41}$ )的源极、第九 PMOS 管( $M_{51}$ )的漏极和第十 PMOS 管( $M_{5r}$ )的栅极的相连节点成为悬浮差分有源电感的第二端口负端( $V_{2n}$ ),所述的第四 PMOS 管( $M_{4r}$ )的源极、第十 PMOS 管( $M_{5r}$ )的漏极和第九 PMOS 管( $M_{51}$ )的栅极的相连节点成为悬浮差分有源电感的第二端口正端( $V_{2p}$ )。

[0035] 所述的第一 PMOS 管( $M_{21}$ )、第二 PMOS 管( $M_{2r}$ )、第三 PMOS 管( $M_{41}$ )、第四 PMOS 管( $M_{4r}$ )、第五 PMOS 管( $M_{31}$ )、第六 PMOS 管( $M_{3r}$ )、第七 PMOS 管( $M_{11}$ )、第八 PMOS 管( $M_{1r}$ )、第九 PMOS 管( $M_{51}$ )、第十 PMOS 管( $M_{5r}$ )的源极和衬底各自相连。

[0036] 本发明的基于正反馈的悬浮差分有源电感, 悬浮差分有源电感的核心部分的悬浮差分阻抗变换器只用了四个晶体管, 加之辅助功能的晶体管, 提出的悬浮差分有源电感仅用了十个晶体管, 其中正跨导稳定器用于补偿悬浮差分有源电感中的负阻抗, 解决悬浮差分有源电感的稳定性问题。同时通过改变稳定器中晶体管的尺寸来改变悬浮差分有源电感中串联电阻的大小。其中负跨导抵消器用于抵消悬浮差分有源电感中的并联阻抗。通过改变抵消器中晶体管的尺寸来改变悬浮差分有源电感的品质因数。

[0037] 以下介绍对本发明提出的悬浮差分有源电感进行仿真验证的结果:

[0038] 悬浮差分有源电感的核心部分由四个晶体管组成的阻抗变换器和两个电容组成。而正跨导稳定器补偿了阻抗变换器的负阻抗, 解决了提出的悬浮差分有源电感的稳定性问题。负跨导抵消器抵消了有源电感中的并联阻抗。忽略晶体管的输出跨导和寄生电容, 并设( $M_{11}$ 、 $M_{1r}$ )和( $M_{51}$ 、 $M_{5r}$ )的跨导为 $G_m$ , 设( $M_{21}$ 、 $M_{2r}$ )和( $M_{41}$ 、 $M_{4r}$ )的跨导为 $G_m$ , 设( $M_{31}$ 、 $M_{3r}$ )的跨导为 $2 * G_m$ ,  $V_{cp}$ 和 $V_{cn}$ 两节点连接电容都是 $C$ 。可以得到提出的悬浮差分有源电感 $L_{AI}$ 为:

$$[0039] \quad L_{AI} = \frac{C}{G_m^2} \quad (1)$$

[0040] 在Cadence中采用CMOS90nm射频工艺设计图4中的悬浮差分有源电感, 以验证本发明的正确性。图4所示的有源电感参数设定: $V_{cp}$ 和 $V_{cn}$ 两节点连接电容都是215.6飞法(fF); 提出的有源电感的跨导值设定如表1第四组数值。可由公式(1)计算得到等效电感值为7.32uH, 这里计算得到的电感值不包括随频率变化的信息。图5中描述的曲线是图4中提出的悬浮差分有源电感的电感值随频率变化的曲线, 该曲线图的垂直坐标轴和水平坐标轴分别表示以毫亨(mH)为单位的电感值和相应的频率(Hz)。从该曲线可知道:(1)在100MHz-400MHz之间电感值平坦, 在229.8MHz处, 电感值为7.4uH, 与计算值吻合。(2)该悬浮差分有源电感的自谐振频率为538.5MHz。考虑晶体管的输出跨导, 表1中第四组跨导分配只是抵消了晶体管的跨导, 这时候有源电感的品质因数受限于有源电感的并联阻抗(第一端口和第二端口)和串联阻抗( $V_{cp}$ 和 $V_{cn}$ ) (有关有源电感的并联阻抗和串联阻抗可参考2008年spring出版社的CMOS Active Inductors and Transformers Principle, Implementation, and Applications)。图6中实线描述了对应表1中对应的第四组跨导分配的品质因数 $Q=1.4$ 。对表1中第一至三组跨导分配, 正跨导抵消器中的晶体管跨导减小10%, 这样就增加了有源电感的串联阻抗, 降低了有源电感的串联损耗, 有效提高了品质因数。表1中的跨导分配从第一组到第三组, 随着负跨导抵消器中的跨导不断增加, 提出的悬浮差分有源电感的品质因数不断增加,  $Q$ 值从3.1变化到21。主要是由于负阻抗抵消器中的跨导增加可以抵消有源电感的并联损耗, 有效提高有源电感的品质因数。

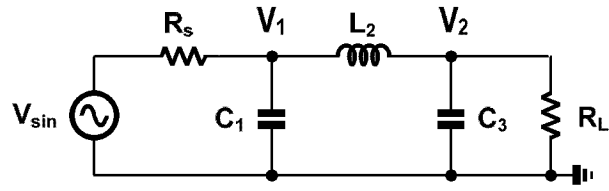
[0041] 表1为图4中晶体管跨导值和仿真得到的品质因素(Q)

[0042]

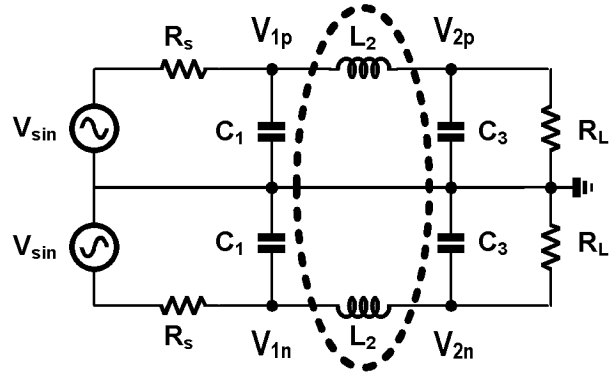
晶体管	$M_{11}$ 、 $M_{1r}$ 、 $M_{51}$ 、 $M_{5r}$	$M_{21}$ 、 $M_{2r}$ 、 $M_{41}$ 、 $M_{4r}$	$M_{31}$ 、 $M_{3r}$	品质因素(Q)
1 跨导值	197.7uS	172.2uS	305.7uS	21
2 跨导值	196.5uS	172.0uS	305.4uS	8.3

3 跨导值	187.3uS	170.9uS	303.4uS	3.1
4 跨导值	171.6uS	171.6uS	336.5uS	1.4

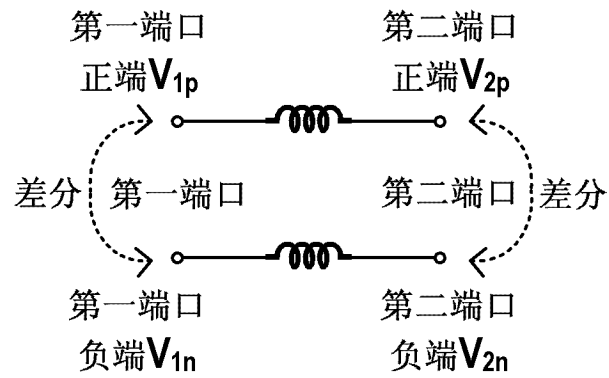




(a)



(b)



(c)

图 1

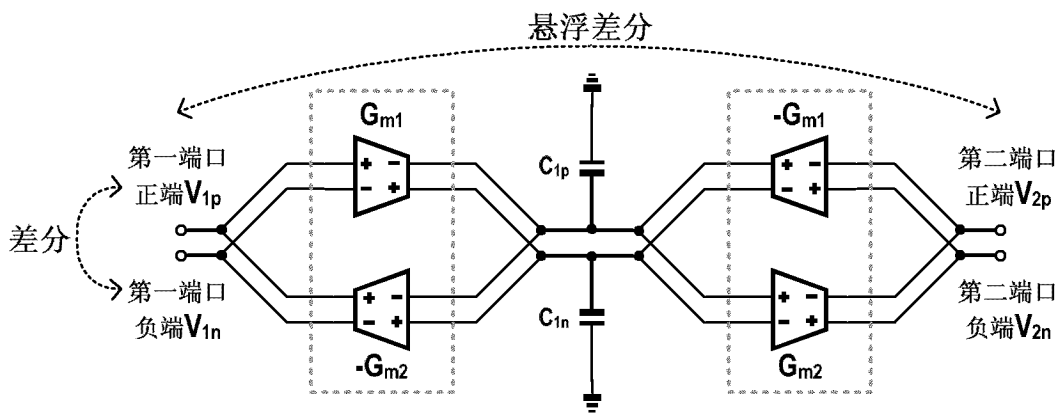


图 2

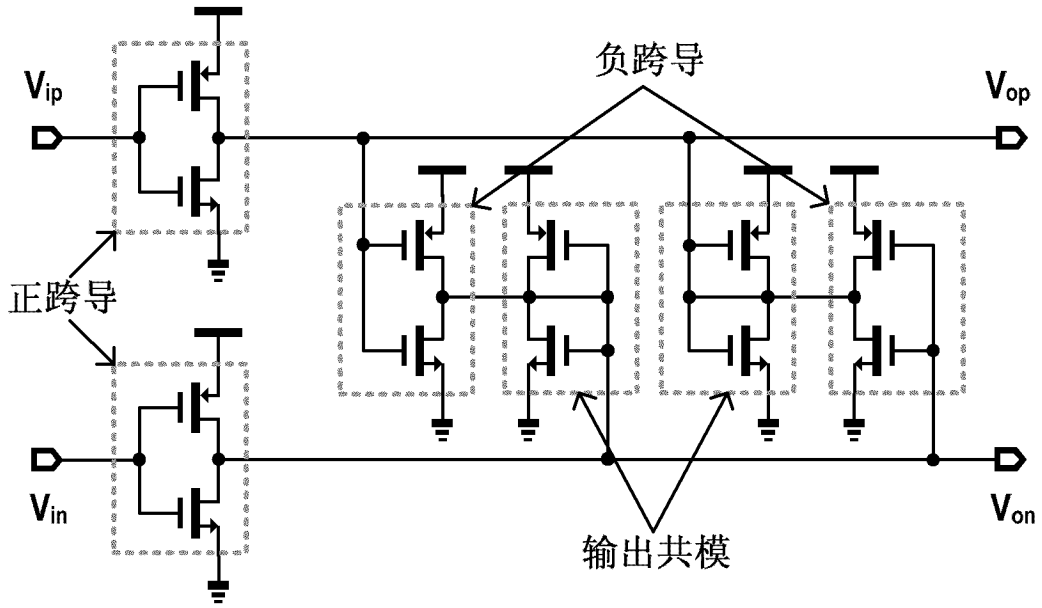


图 3

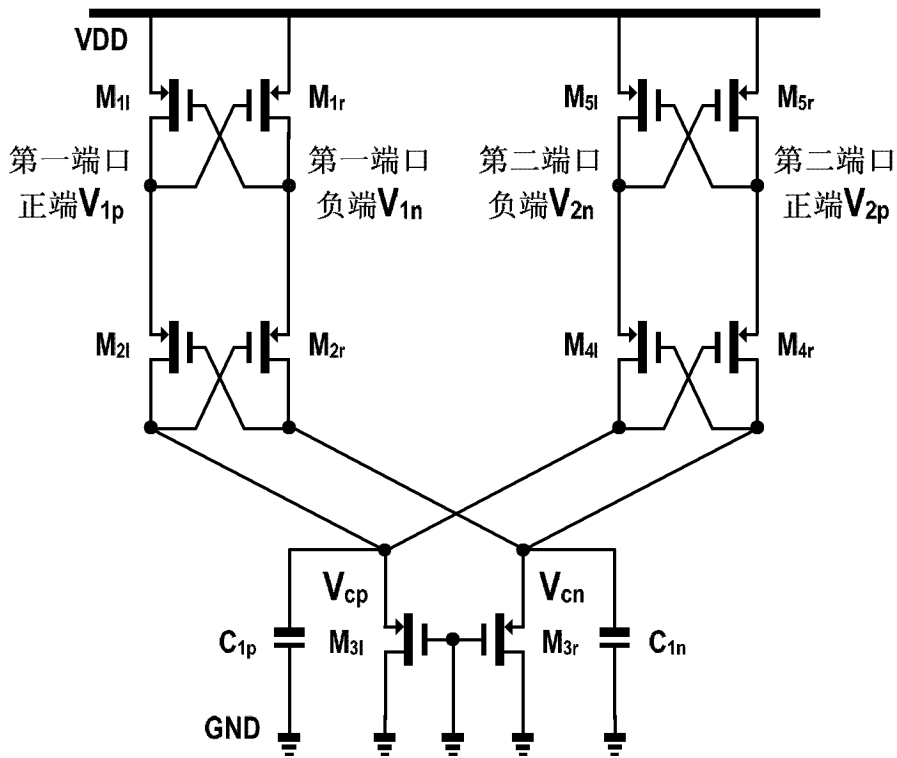


图 4

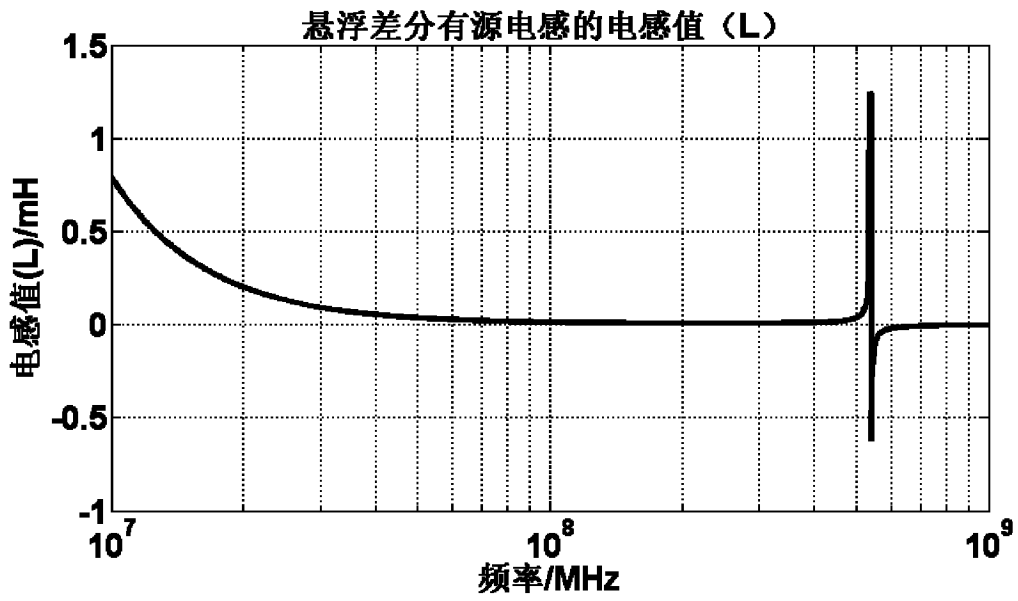


图 5

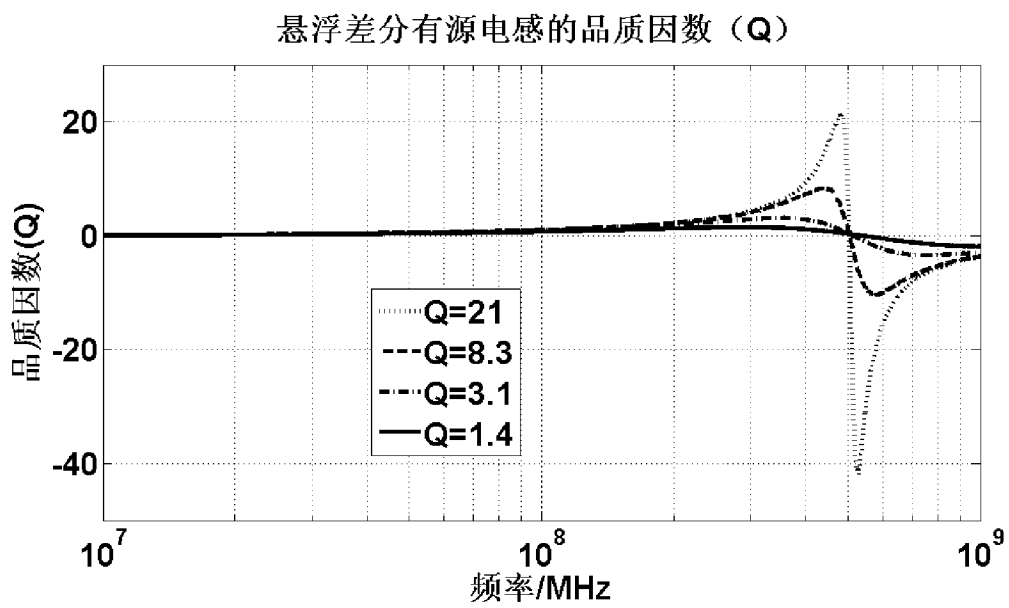


图 6