



(12) 发明专利

(10) 授权公告号 CN 101594121 B

(45) 授权公告日 2011. 10. 26

(21) 申请号 200910303498. 8

(22) 申请日 2009. 06. 22

(73) 专利权人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路 3 号
中科院微电子所

(72) 发明人 陈勇 周玉梅

(74) 专利代理机构 北京市德权律师事务所
11302

代理人 刘铁生

(51) Int. Cl.

H03H 11/04 (2006. 01)

H03H 11/12 (2006. 01)

审查员 董方源

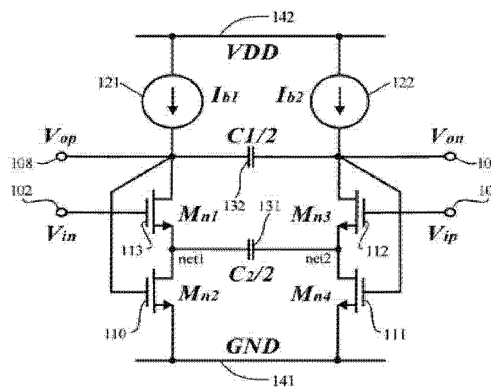
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

一种超低压实现带通滤波器的双二阶单元

(57) 摘要

本发明公开了一种超低压实现带通滤波器的双二阶单元,属于滤波器技术领域。所述双二阶单元包括:第一跨导模块,用于接收输入电压信号,并将输入电压信号转换为电流信号;第一差分电容,与第一跨导模块相连,形成第一积分单元,用于确定双二阶单元传输函数的复数共轭极点;第二跨导模块,用于接收输出电压信号,并将输出电压信号转换为电流信号;第二差分电容,与第一跨导模块和第二跨导模块相连,形成第二积分单元,用于确定双二阶单元传输函数的复数共轭极点;电流源模块,与第一跨导模块相连,用于提供双二阶单元的支路电流。本发明提供的双二阶单元,结构简单,容易实现,有效地降低了带通滤波器电路结构的复杂度和功耗,实现了超低电源电压。



1. 一种超低压实现带通滤波器的双二阶单元,其特征在于,所述双二阶单元包括:
第一跨导模块,用于接收输入电压信号,并将所述输入电压信号转换为电流信号;
第一差分电容,与所述第一跨导模块相连,形成第一积分单元,用于确定所述双二阶单元传输函数中的复数共轭极点;

第二跨导模块,用于接收输出电压信号,并将所述输出电压信号转换为电流信号;
第二差分电容,与所述第一跨导模块和第二跨导模块相连,形成第二积分单元,用于确定所述双二阶单元传输函数中的复数共轭极点;

电流源模块,与所述第一跨导模块相连,用于提供所述双二阶单元的支路电流;

所述第一跨导模块包括第一晶体管和第三晶体管;所述第一晶体管的栅极接第一输入端,所述第一晶体管的漏极接第一输出端,所述第一晶体管的源极与第二差分电容的一端相连;所述第三晶体管的栅极接第二输入端,所述第三晶体管的漏极接第二输出端,所述第三晶体管的源极与第二差分电容的另一端相连;所述第一晶体管和第三晶体管的衬底分别接地电压;所述第一差分电容的一端与第一晶体管的漏极相连,所述第一差分电容的另一端与第三晶体管的漏极相连;

所述第二跨导模块包括第二晶体管和第四晶体管;所述第二晶体管的栅极与第一输出端相连,所述第二晶体管的漏极与第一晶体管的源极相连,所述第二晶体管的源极和衬底接地电压;所述第四晶体管的栅极与第三晶体管的漏极相连,所述第四晶体管的源极和衬底接地电压,所述第四晶体管的漏极与第三晶体管的源极相连。

2. 如权利要求 1 所述的超低压实现带通滤波器的双二阶单元,其特征在于,所述电流源模块包括第一电流源和第二电流源;所述第一电流源的正端接电源电压,所述第一电流源的负端接第一输出端;所述第二电流源的正端接电源电压,所述第二电流源的负端接第二输出端。

3. 如权利要求 1 所述的超低压实现带通滤波器的双二阶单元,其特征在于,所述第一晶体管、第二晶体管、第三晶体管和第四晶体管为 NMOS 型晶体管。

4. 一种超低压实现带通滤波器的双二阶单元,其特征在于,所述双二阶单元包括:
第一跨导模块,用于接收输入电压信号,并将所述输入电压信号转换为电流信号;
第一差分电容,与所述第一跨导模块相连,形成第一积分单元,用于确定所述双二阶单元传输函数中的复数共轭极点;

第二跨导模块,用于接收输出电压信号,并将所述输出电压信号转换为电流信号;
第二差分电容,与所述第一跨导模块和第二跨导模块相连,形成第二积分单元,用于确定所述双二阶单元传输函数中的复数共轭极点;

电流源模块,与所述第一跨导模块相连,用于提供所述双二阶单元的支路电流;

所述第一跨导模块包括第一晶体管和第三晶体管;所述第一晶体管的栅极接第一输入端,所述第一晶体管的漏极接第一输出端,所述第一晶体管的源极与第二差分电容的一端相连;所述第三晶体管的栅极接第二输入端,所述第三晶体管的漏极接第二输出端,所述第三晶体管的源极与第二差分电容的另一端相连;所述第一晶体管和第三晶体管的衬底分别接电源电压;所述第一差分电容的一端与第一晶体管的漏极相连,所述第一差分电容的另一端与第三晶体管的漏极相连;

所述第二跨导模块包括第二晶体管和第四晶体管;所述第二晶体管的栅极与第一输出

端相连,所述第二晶体管的漏极与第一晶体管的源极相连,所述第二晶体管的源极和衬底接电源电压;所述第四晶体管的栅极与第三晶体管的漏极相连,所述第四晶体管的源极和衬底接电源电压,所述第四晶体管的漏极与第三晶体管的源极相连。

5. 如权利要求 4 所述的超低压实现带通滤波器的双二阶单元,其特征在于,所述电流源模块包括第一电流源和第二电流源;所述第一电流源的正端接第一输出端,所述第一电流源的负端接地电压;所述第二电流源的正端接第二输出端,所述第二电流源的负端接地电压。

6. 如权利要求 4 所述的超低压实现带通滤波器的双二阶单元,其特征在于,所述第一晶体管、第二晶体管、第三晶体管和第四晶体管为 PMOS 型晶体管。

一种超低压实现带通滤波器的双二阶单元

技术领域

[0001] 本发明涉及滤波器技术领域,特别涉及一种超低压实现带通滤波器的双二阶单元。

背景技术

[0002] 滤波器最早是由美国人和德国人于 1915 年首先提出来的。时至今日,滤波器的理论和技术已经得到不断的改进和创新。滤波其实是一种选频过程,滤波器是一种对输入信号进行特定频率处理从而得到希望输出信号的选频网络。根据输入信号时域特点,滤波器可以分为模拟滤波器和数字滤波器。由于模拟滤波器具有处理速度快、电路结构简单、功耗小等突出特点,使其在各种电子设备中有着广泛的应用。

[0003] 在模拟滤波器的多种实现方法中,级联设计方法由于其实现简单而被广泛采用。该方法是将双二阶单元通过级联方式实现高阶滤波器。双二阶单元的实现结构可分为传统结构和新型结构。传统结构是指跨导-电容(Gm-C)双二阶单元,其中的跨导放大器(Gm)是将输入电压信号转换为电流信号。图 1 示出了传统结构的双二阶单元,该双二阶单元使用了四个跨导放大器,并且每个差模节点要使用共模反馈电路,使用至少 20 个晶体管。新型结构的双二阶单元是一种基于源极跟随器的双二阶单元,它与传统结构的双二阶单元不同,其晶体管的使用数量少于传统结构的双二阶单元。

[0004] 近些年来,随着手持移动设备产业的飞速发展和 CMOS 工艺技术的不断进步,使得低电源电压和低功耗的模拟电路设计正成为研究的热点。现有一些低功耗芯片的电源电压已经低至 0.8V。同时,由于无线收发机系统结构越来越复杂,势必要求其内部基本单元模块在满足系统性能的前提下,其使用的电路结构尽可能简单,且容易实现。但是,目前的双二阶单元存在如下不足:首先,传统跨导-电容结构的滤波器的全差分双二阶单元需要使用四个跨导放大器,并且每个跨导放大器要使用多个晶体管,同时还要求额外的共模反馈电路稳定输出共模电压,这样就增加了电路的复杂程度和功耗;其次,新型结构的滤波器虽然降低了电路的复杂程度,但是由于层叠晶体管消耗的电压余度大,很难将电源电压降低到 1V 以下,其最低工作电压等于四个过驱动电压 V_{dsat} 加上两个阈值电压 V_{TH} ,因此难于达到芯片对于低电源电压的要求。

发明内容

[0005] 为了降低带通滤波器的输出工作电压,以及电路的复杂度和功耗,本发明提供了一种超低压实现带通滤波器的双二阶单元,所述双二阶单元包括:

[0006] 第一跨导模块,用于接收输入电压信号,并将所述输入电压信号转换为电流信号;

[0007] 第一差分电容,与所述第一跨导模块相连,形成第一积分单元,用于确定所述双二阶单元传输函数中的复数共轭极点;

[0008] 第二跨导模块,用于接收输出电压信号,并将所述输出电压信号转换为电流信

号；

[0009] 第二差分电容,与所述第一跨导模块和第二跨导模块相连,形成第二积分单元,用于确定所述双二阶单元传输函数中的复数共轭极点；

[0010] 电流源模块,与所述第一跨导模块相连,用于提供所述双二阶单元的支路电流；

[0011] 所述第一跨导模块包括第一晶体管和第三晶体管；所述第一晶体管的栅极接第一输入端,所述第一晶体管的漏极接第一输出端,所述第一晶体管的源极与第二差分电容的一端相连；所述第三晶体管的栅极接第二输入端,所述第三晶体管的漏极接第二输出端,所述第三晶体管的源极与第二差分电容的另一端相连；所述第一晶体管和第三晶体管的衬底分别接地电压；所述第一差分电容的一端与第一晶体管的漏极相连,所述第一差分电容的另一端与第三晶体管的漏极相连。

[0012] 所述第二跨导模块包括第二晶体管和第四晶体管；所述第二晶体管的栅极与第一输出端相连,所述第二晶体管的漏极与第一晶体管的源极相连,所述第二晶体管的源极和衬底接地电压；所述第四晶体管的栅极与第三晶体管的漏极相连,所述第四晶体管的源极和衬底接地电压,所述第四晶体管的漏极与第三晶体管的源极相连。

[0013] 所述电流源模块包括第一电流源和第二电流源；所述第一电流源的正端接电源电压,所述第一电流源的负端接第一输出端；所述第二电流源的正端接电源电压,所述第二电流源的负端接第二输出端。

[0014] 所述第一晶体管、第二晶体管、第三晶体管和第四晶体管为 NMOS 型晶体管。

[0015] 本发明还提供了一种超低压实现带通滤波器的双二阶单元,所述双二阶单元包括：

[0016] 第一跨导模块,用于接收输入电压信号,并将所述输入电压信号转换为电流信号；

[0017] 第一差分电容,与所述第一跨导模块相连,形成第一积分单元,用于确定所述双二阶单元传输函数中的复数共轭极点；

[0018] 第二跨导模块,用于接收输出电压信号,并将所述输出电压信号转换为电流信号；

[0019] 第二差分电容,与所述第一跨导模块和第二跨导模块相连,形成第二积分单元,用于确定所述双二阶单元传输函数中的复数共轭极点；

[0020] 电流源模块,与所述第一跨导模块相连,用于提供所述双二阶单元的支路电流；

[0021] 所述第一跨导模块包括第一晶体管和第三晶体管；所述第一晶体管的栅极接第一输入端,所述第一晶体管的漏极接第一输出端,所述第一晶体管的源极与第二差分电容的一端相连；所述第三晶体管的栅极接第二输入端,所述第三晶体管的漏极接第二输出端,所述第三晶体管的源极与第二差分电容的另一端相连；所述第一晶体管和第三晶体管的衬底分别接电源电压；所述第一差分电容的一端与第一晶体管的漏极相连,所述第一差分电容的另一端与第三晶体管的漏极相连；

[0022] 所述第二跨导模块包括第二晶体管和第四晶体管；所述第二晶体管的栅极与第一输出端相连,所述第二晶体管的漏极与第一晶体管的源极相连,所述第二晶体管的源极和衬底接电源电压；所述第四晶体管的栅极与第三晶体管的漏极相连,所述第四晶体管的源极和衬底接电源电压,所述第四晶体管的漏极与第三晶体管的源极相连。

[0023] 所述电流源模块包括第一电流源和第二电流源；所述第一电流源的正端接第一输出端，所述第一电流源的负端接地电压；所述第二电流源的正端接第二输出端，所述第二电流源的负端接地电压。

[0024] 所述第一晶体管、第二晶体管、第三晶体管和第四晶体管为 PMOS 型晶体管。

[0025] 有益效果：本发明提供的超低压实现带通滤波器的双二阶单元，结构简单，并且容易实现，有效地降低了带通滤波器电路结构的复杂度；进一步地，由于双二阶单元不需要共模反馈电路，从而降低了带通滤波器的功耗和电路复杂度，实现了超低压电源电压。

附图说明

[0026] 图 1 是现有技术采用四个分离跨导级联组成的双二阶单元的电路结构示意图；

[0027] 图 2 是本发明实施例 1 超低压实现带通滤波器的双二阶单元电路结构示意图；

[0028] 图 3 是本发明实施例 2 超低压实现带通滤波器的双二阶单元电路结构示意图；

[0029] 图 4 是采用本发明实施例提供的双二阶单元级联实现的四阶带通滤波器的电路结构示意图；

[0030] 图 5 是本发明实施例四阶带通滤波器的幅频曲线图。

具体实施方式

[0031] 为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明实施方式作进一步地详细描述。

[0032] 实施例 1

[0033] 参见图 2，本发明实施例提供了一种超低压实现带通滤波器的双二阶单元，本实施例可以采用 CMOS 工艺实现，该双二阶单元包括：

[0034] 第一跨导模块，用于接收输入电压信号，并将输入电压信号转换为电流信号；

[0035] 第一差分电容 132 (C1)，与第一跨导模块相连，形成第一积分单元，用于确定双二阶单元传输函数中的复数共轭极点；

[0036] 第二跨导模块，用于接收输出电压信号，并将输出电压信号转换为电流信号；

[0037] 第二差分电容 131 (C2)，与第一跨导模块和第二跨导模块相连，形成第二积分单元，用于确定双二阶单元传输函数中的复数共轭极点；

[0038] 电流源模块，与第一跨导模块相连，用于提供双二阶单元的支路电流。

[0039] 其中，第一跨导模块包括第一 NMOS 晶体管 113 (Mn1) 和第三 NMOS 晶体管 112 (Mn3)；第一 NMOS 晶体管 113 的栅极接第一输入端 102 (Vin)，第一 NMOS 晶体管 113 的漏极接第一输出端 108 (Vop)，第一 NMOS 晶体管 113 的源极 (net1) 与第二差分电容 131 的一端相连；第三 NMOS 晶体管 112 的栅极接第二输入端 104 (Vip)，第三 NMOS 晶体管 112 的漏极接第二输出端 106 (Von)，第三 NMOS 晶体管 112 的源极 (net2) 与第二差分电容 131 的另一端相连；第一 NMOS 晶体管 113 和第三 NMOS 晶体管 112 的衬底分别接地电压 GND (141)；第一差分电容 132 的一端与第一 NMOS 晶体管 113 的漏极相连，第一差分电容 132 的另一端与第三 NMOS 晶体管 112 的漏极相连。

[0040] 其中，第二跨导模块包括第二 NMOS 晶体管 110 (Mn2) 和第四 NMOS 晶体管 111 (Mn4)；第二 NMOS 晶体管 110 的栅极与第一输出端 108 相连，第二 NMOS 晶体管 110 的

漏极与第一 NMOS 晶体管 113 的源极相连,第二 NMOS 晶体管 110 的源极和衬底接地电压 GND(141);第四 NMOS 晶体管 111 的栅极与第三 NMOS 晶体管 112 的漏极相连,第四 NMOS 晶体管 111 的源极和衬底接地电压 GND(141),第四 NMOS 晶体管 111 的漏极与第三 NMOS 晶体管 112 的源极 (net2) 相连。

[0041] 其中,电流源模块包括第一电流源 Ib1(121) 和第二电流源 Ib2(122);第一电流源 Ib1 的正端接电源电压 VDD(142),第一电流源 Ib1 的负端接第一输出端 108;第二电流源 Ib2 的正端接电源电压 VDD(142),第二电流源 Ib2 的负端接第二输出端 106。

[0042] 本实施例中的第一跨导模块和第一差分电容 132 形成第一积分单元,第二跨导模块和第二差分电容 131 形成第二积分单元,第一积分单元和第二积分单元可以用于确定双二阶单元传输函数中的复数共轭极点。在实际应用中,输入电压分别从第一跨导模块的第一 NMOS 晶体管 113 和第三 NMOS 晶体管 112 的栅极输入,从第一 NMOS 晶体管 113 和第三 NMOS 晶体管 112 的漏极输出,进而实现带通滤波器的传输特性;第一差分电容 132 的电容量值为 $C1/2$,第二差分电容 131 的电容量值为 $C2/2$ 。

[0043] 在实际应用中,本实施例提供的双二阶单元输出的最小工作电压等于两个过驱动电压和第二跨导模块的阈值电压的相加之和。其中,两个过驱动电压具体是第一电流源或第二电流源的过驱动电压,以及第二跨导模块的过驱动电压。

[0044] 实施例 2

[0045] 参见图 3,本发明实施例还提供了一种超低压实现带通滤波器的双二阶单元,本实施例可以采用 CMOS 工艺实现,该双二阶单元包括:

[0046] 第一跨导模块,用于接收输入电压信号,并将输入电压信号转换为电流信号;

[0047] 第一差分电容 231(C2),与第一跨导模块相连,形成第一积分单元,用于确定双二阶单元传输函数中的复数共轭极点;

[0048] 第二跨导模块,用于接收输出电压信号,并将输出电压信号转换为电流信号;

[0049] 第二差分电容 232(C1),与第一跨导模块和第二跨导模块相连,形成第二积分单元,用于确定双二阶单元传输函数中的复数共轭极点;

[0050] 电流源模块,与第一跨导模块相连,用于提供双二阶单元的支路电流。

[0051] 其中,第一跨导模块包括第一 PMOS 晶体管 213(Mp1) 和第三 PMOS 晶体管 212(Mp3);第一 PMOS 晶体管 213 的栅极接第一输入端 208(Vin),第一 PMOS 晶体管 213 的漏极接第一输出端 202(Vop),第一 PMOS 晶体管 213 的源极 (net1) 与第二差分电容 232 的一端相连;第三 PMOS 晶体管 212 的栅极接第二输入端 206(Vip),第三 PMOS 晶体管 212 的漏极接第二输出端 204(Von),第三 PMOS 晶体管 212 的源极 (net2) 与第二差分电容 232 的另一端相连;第一 PMOS 晶体管 213 和第三 PMOS 晶体管 212 的衬底分别接电源电压 VDD(242);第一差分电容 231 的一端与第一 PMOS 晶体管 213 的漏极相连,第一差分电容 231 的另一端与第三 PMOS 晶体管 212 的漏极相连。

[0052] 其中,第二跨导模块包括第二 PMOS 晶体管 210(Mp2) 和第四 PMOS 晶体管 211(Mp4);第二 PMOS 晶体管 210 的栅极与第一输出端 202 相连,第二 PMOS 晶体管 210 的漏极与第一 PMOS 晶体管 213 的源极相连,第二 PMOS 晶体管 210 的源极和衬底接电源电压 VDD(242);第四 PMOS 晶体管 211 的栅极与第三 PMOS 晶体管 212 的漏极相连,第四 PMOS 晶体管 211 的源极和衬底接电源电压 VDD(242),第四 PMOS 晶体管 211 的漏极与第三 PMOS 晶

体管 212 的源极相连。

[0053] 其中, 电流源模块包括第一电流源 Ib1 (221) 和第二电流源 Ib2 (222); 第一电流源 Ib1 的正端接第一输出端 202, 第一电流源 Ib1 的负端接地电压 GND (241); 第二电流源 Ib2 的正端接第二输出端 204, 第二电流源 Ib2 的负端接地电压 GND (241)。

[0054] 本实施例中的第一跨导模块和第一差分电容 231 形成第一积分单元, 第二跨导模块和第二差分电容 232 形成第二积分单元, 第一积分单元和第二积分单元可以用于确定双二阶单元传输函数中的复数共轭极点。在实际应用中, 输入电压分别从第一跨导模块的第一 PMOS 晶体管 213 和第三 PMOS 晶体管 212 的栅极输入, 从第一 PMOS 晶体管 213 和第三 PMOS 晶体管 212 的漏极输出, 进而实现带通滤波器的传输特性; 第一差分电容 231 的电容量为 $C_2/2$, 第二差分电容 232 的电容量为 $C_1/2$ 。

[0055] 在实际应用中, 本实施例提供的双二阶单元输出的最小工作电压等于两个过驱动电压和第二跨导模块的阈值电压的相加之和。其中, 两个过驱动电压具体是第一电流源或第二电流源的过驱动电压, 以及第二跨导模块的过驱动电压。

[0056] 为了更加详细地说明本发明实施例提供的双二阶单元可以实现超低压带通滤波器, 进行如下定量分析。如图 2 所示, 第一跨导模块和第一差分电容形成第一积分单元, 第二跨导模块和第二差分电容形成第二积分单元, 这两个积分单元可以确定双二阶单元传输函数中的复数共轭极点; 输入电压从第一跨导模块的栅极输入, 输出电压从第一跨导模块的漏极输出, 实现带通滤波器的传输特性; 假如忽略输出跨导及晶体管的寄生电容, 并且设 M_{n1} 和 M_{n3} 的跨导为 g_{m1} , 设 M_{n2} 和 M_{n4} 的跨导为 g_{m2} , 第一差分电容的电容量为 $C_1/2$, 第二差分电容 131 的电容量为 $C_2/2$, 由此可以得到滤波器的传输函数:

$$[0057] \quad H(s) = \frac{s \frac{g_{m1}}{C_2}}{s^2 + s \frac{g_{m1}}{C_1} + \frac{g_{m1}g_{m2}}{C_1C_2}} \quad (1)$$

[0058] 由上式 (1) 可以得到滤波器的特性参数, 包括极点特征频率 ω_0 、品质因数 Q 和中心频率处增益 K :

$$[0059] \quad \omega_0 = 2\pi f_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (2)$$

$$[0060] \quad Q = \sqrt{\frac{C_1}{C_2} \frac{g_{m1}}{g_{m2}}} \quad (3)$$

$$[0061] \quad K = \frac{C_1}{C_2} \quad (4)$$

[0062] 滤波器输出的最小工作电压为:

$$[0063] \quad V_{DD_{\min}} = 2V_{dsat} + V_{TH} + B_{swing} \quad (5)$$

[0064] 其中 V_{dsat} 为过驱动电压, V_{TH} 为阈值电压, V_{swing} 为输出信号摆幅。

[0065] 采用 SMIC (中芯国际集成电路制造有限公司) 的 CMOS 0.13 μm 混合信号工艺仿真如图 4 所示的四阶带通滤波器, 图 5 是图 4 的四阶带通滤波器实现四阶巴特沃斯型滤波器的传输函数曲线图, 该曲线图的垂直纵坐标轴和水平坐标轴分别表示以分贝 (dB) 为单位的幅度特性和相应的频率 (Hz)。从该曲线可以得知: (a) 实现了带通滤波特性, 中心频率

为 14MHz, 四阶带通滤波器在带外 100MHz 处衰减 30dB ;(b) 从公式 (5) 中可以指导图 2 中实现的双二阶单元具有直流增益 9.7dB ;(c) 由 CMOS 工艺手册得知 V_{TH} 为 0.38V, 设 V_{dsat} 为 0.1V, V_{swing} 为 0.1V, 则由公式 (5) 得到最小工作电压为 0.68V, 说明了本发明实施例提供的双二阶单元电路结构可以在超低压情况下工作。由图 5 曲线可以看出, 实际电路仿真结果与 MATLAB 建模的滤波特性相差小, 低频电路仿真出现的上翘是由电路中非理想因素造成的。

[0066] 本发明提供的超低压实现带通滤波器的双二阶单元, 结构简单, 容易实现, 有效地降低了带通滤波器电路结构的复杂度, 实现了带通滤波器的传输特性 ;另外, 还可以采取级联方式组合本发明实施例的双二阶单元, 形成高阶带通滤波器 ;进一步地, 本发明实施例提供的双二阶单元的最小输出工作电压等于两个过驱动电压和一个阈值电压相加之和, 相比于现有技术中的最小输出工作电压等于四个过驱动电压和两个阈值电压之和, 减少了一半的电压余度消耗, 并且还不需要共模反馈电路, 从而降低了带通滤波器的功耗和电路复杂度, 实现了超低电源电压。

[0067] 以上所述仅为本发明的较佳实施例, 并不用以限制本发明, 凡在本发明的精神和原则之内, 所作的任何修改、等同替换、改进等, 均应包含在本发明的保护范围之内。

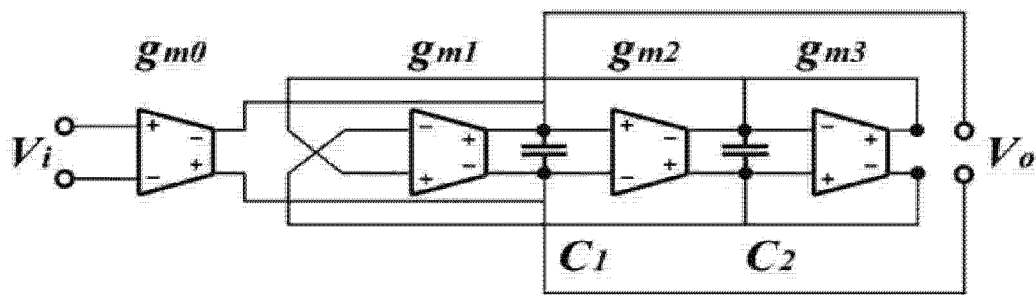


图 1

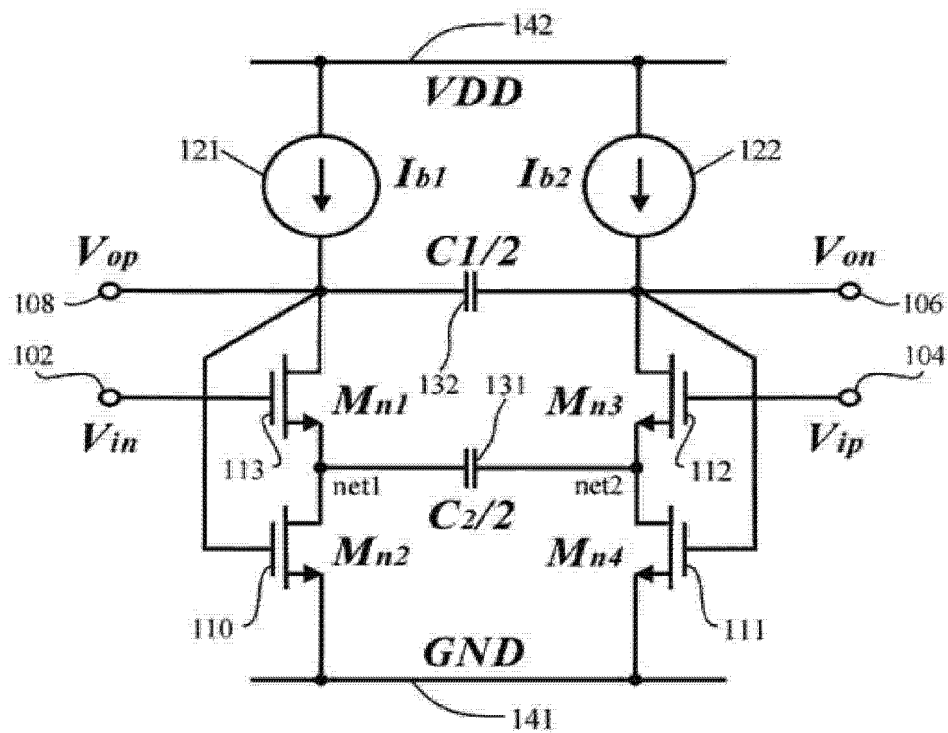


图 2

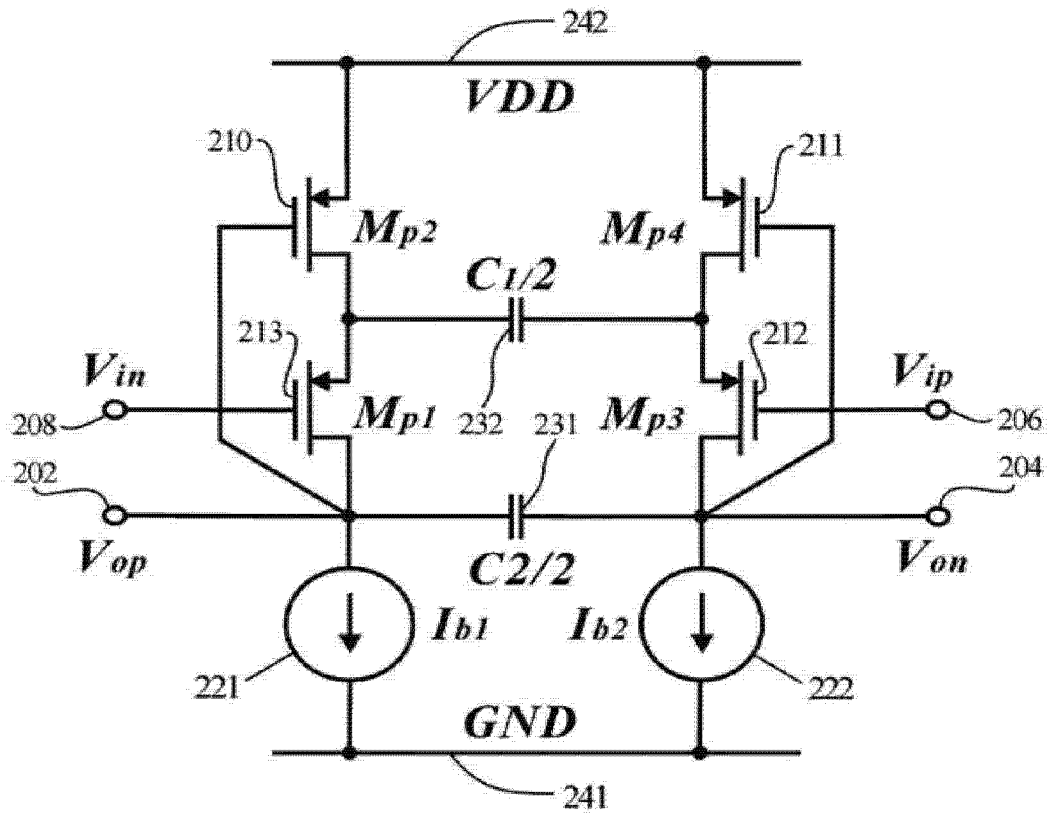


图 3

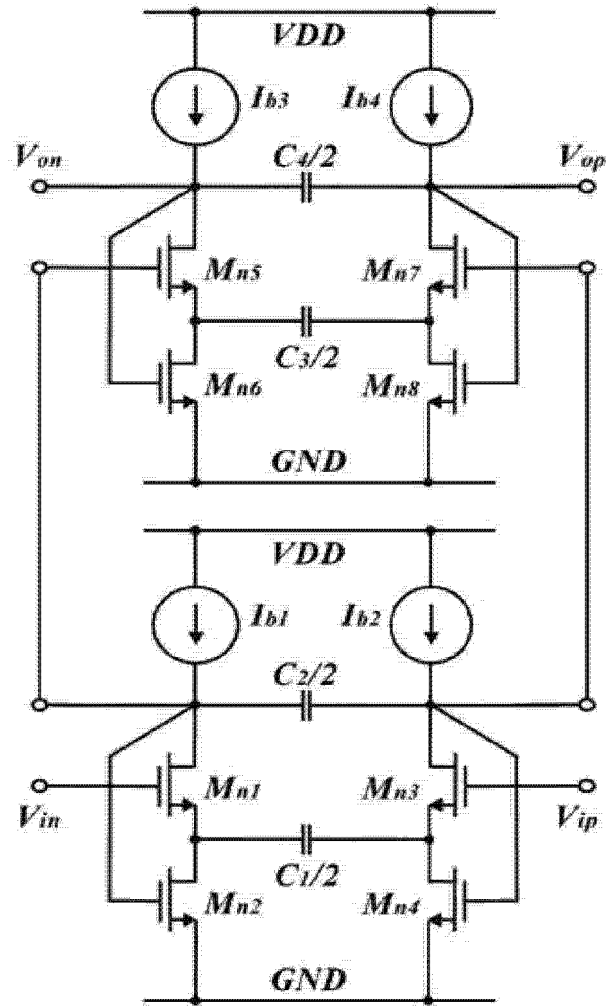


图 4

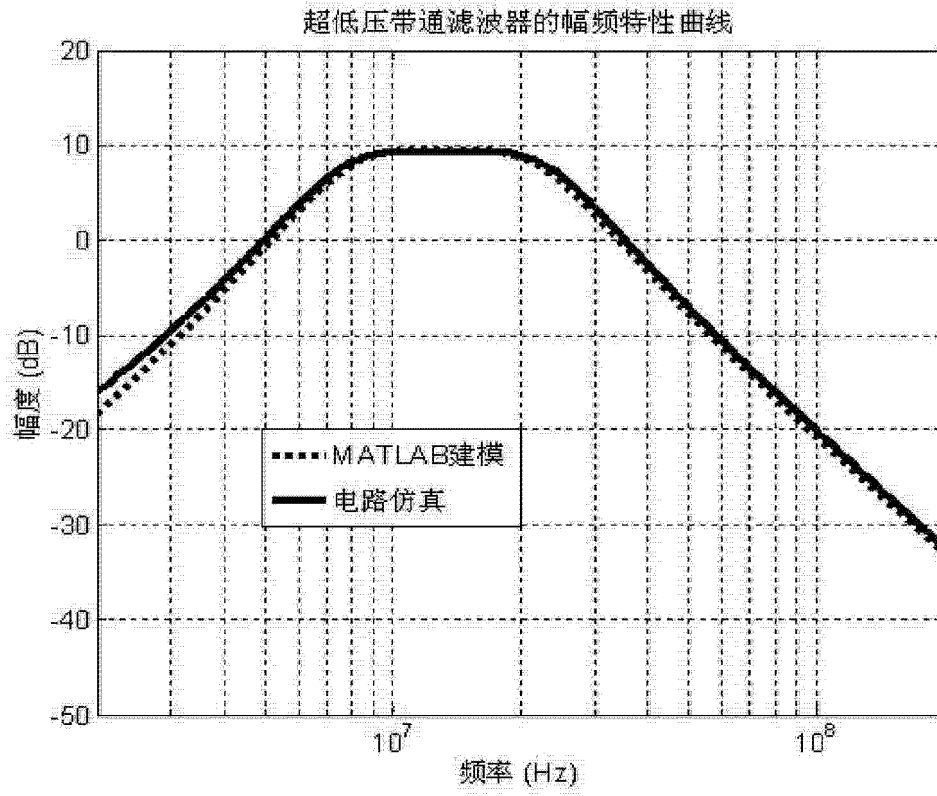


图 5