



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I446723 B

(45) 公告日：中華民國 103 (2014) 年 07 月 21 日

(21) 申請案號：100107757

(22) 申請日：中華民國 100 (2011) 年 03 月 08 日

(51) Int. Cl. : **H03M1/12 (2006.01)**(71) 申請人：澳門大學 (中國大陸) UNIVERSITY OF MACAU (CN)  
澳門

(72) 發明人：冼世榮 SIN, SAI-WENG (MO) ; 丁立 DING, LI (CN) ; 諸媽 ZHU, YAN (CN) ; 魏和功 WEI, HE-GONG (CN) ; 陳知行 CHAN, CHI-HANG (MO) ; 趙汝法 CHIO, U-FAT (MO) ; 余成斌 U, SENG-PAN (MO) ; 馬 許願 MARTINS, RUI PAULO DA SILVA (PT) ; 馬洛貝爾蒂 佛朗哥 MALOBERTI, FRANCO (IT)

(74) 代理人：林志剛

(56) 參考文獻：

TW 200642294A

JP 6-69796A

US 6879227B1

US 2009/0184853A1

US 2010/0066583A1

審查人員：陳臆聰

申請專利範圍項數：5 項 圖式數：5 共 0 頁

(54) 名稱

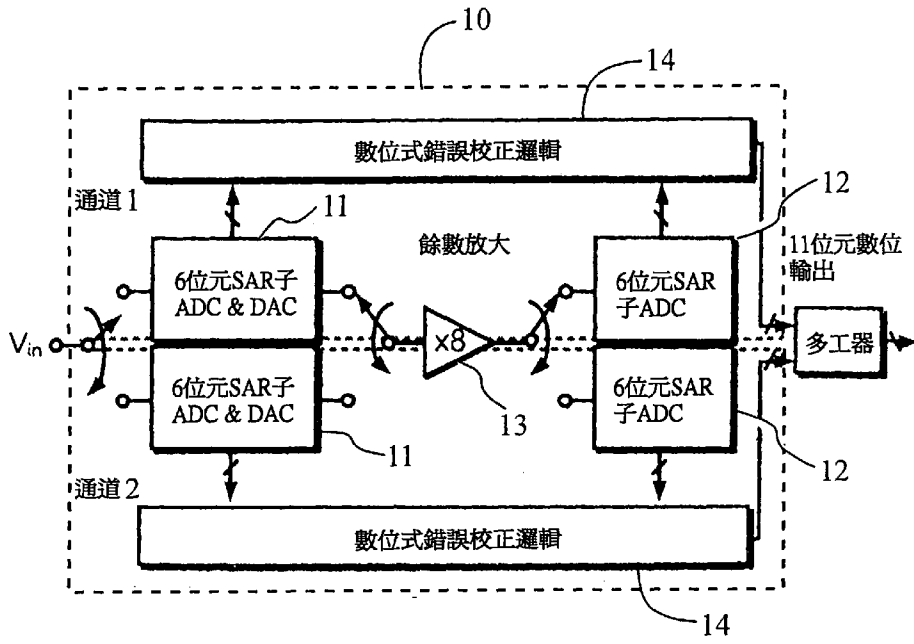
類比至數位轉換器電路

ANALOG TO DIGITAL CONVERTER CIRCUIT

(57) 摘要

本發明提供一種類比至數位轉換器(ADC)電路，其包含兩個時間交錯連續漸近暫存器(SAR) ADC。該兩個時間交錯 SAR ADC 每一者包含：第一級 SAR 子 ADC；餘數放大器；第二級 SAR 子 ADC；以及數位式錯誤校正邏輯。時間交錯路徑是共用該餘數放大器。該餘數放大器具有低增益，並以次臨界值操作，以達到電力效率高的設計。

The present invention provides an analog-to-digital converter (ADC) circuit comprising two time-interleaved successive approximation register (SAR) ADCs. Each of the two time-interleaved SAR ADCs comprises a first stage SAR sub-ADC, a residue amplifier, a second stage SAR sub-ADC and a digital error correction logic. The residue amplifier is shared between the time-interleaved paths, has a reduced gain and operates in sub-threshold to achieve power effective design



- 10 . . . 類比至數位轉換器(ADC)電路
- 11 . . . 第一級連續漸近暫存器(SAR)子ADC
- 12 . . . 第二級連續漸近暫存器(SAR)子ADC
- 13 . . . 餘數放大器
- 14 . . . 數位式錯誤校正邏輯

圖 1



# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100107757

※申請日：100年03月08日

※IPC分類：H03M 1/2 (2006.01)

## 一、發明名稱：(中文/英文)

類比至數位轉換器電路

Analog to digital converter circuit

## 二、中文發明摘要：

本發明提供一種類比至數位轉換器(ADC)電路，其包含兩個時間交錯連續漸近暫存器(SAR)ADC。該兩個時間交錯SAR ADC每一者包含：第一級SAR子ADC；餘數放大器；第二級SAR子ADC；以及數位式錯誤校正邏輯。時間交錯路徑是共用該餘數放大器。該餘數放大器具有低增益，並以次臨界值操作，以達到電力效率高的設計。

### 三、英文發明摘要：

The present invention provides an analog-to-digital converter (ADC) circuit comprising two time-interleaved successive approximation register (SAR) ADCs. Each of the two time-interleaved SAR ADCs comprises a first stage SAR sub-ADC, a residue amplifier, a second stage SAR sub-ADC and a digital error correction logic. The residue amplifier is shared between the time-interleaved paths, has a reduced gain and operates in sub-threshold to achieve power effective design

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件代表符號簡單說明：

10：類比至數位轉換器(ADC)電路

11：第一級連續漸近暫存器(SAR)子ADC

12：第二級連續漸近暫存器(SAR)子ADC

13：餘數放大器

14：數位式錯誤校正邏輯

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於類比至數位轉換器（ADC），且特別關於兩級式時間交錯連續漸近暫存器（SAR）ADC。

### 【先前技術】

一般而言，類比至數位轉換器（ADC）用於將輸入的類比電壓（或電流）轉換成與此電壓或電流大小成比例之數位數字。

管線式ADC是由多個階級串接而成的ADC，每一級包含了一個子ADC，這個子ADC產生了需要被放大的餘數訊號，以做為下一級的輸入。

習知的兩級式或時間交錯ADC之電力效率在解析度高於10位元且取樣率為50至100 MS/s時會下降，這是因為操作放大器所需電力之緣故。因為難於設計高增益操作放大器，這個問題在奈米CMOS技術上變得更加明顯。在解析度低於10位元且取樣率為50 MS/s左右時，SAR ADC的電力效能佳。然而，當解析度高於10位元且速度為數十MHz時，電力效能會急遽下降。因此有必要提供電力效率高的ADC來解決這個問題。

### 【發明內容】

因此，本發明的目的在於提供低耗電的ADC。

根據本發明一個實施例，一種類比至數位轉換器（

ADC) 電路包含：多個時間交錯連續漸近暫存器 (SAR) ADC。每一個該時間交錯 SAR ADC 包含：第一級 SAR 子 ADC，用於粗略轉換，該第一級 SAR 子 ADC 接收及轉換類比輸入訊號，以產生第一數位碼及餘數訊號；餘數放大器，用於放大該第一級 SAR 子 ADC 所產生之該餘數訊號，以輸出被放大的餘數訊號，其中該多個時間交錯 SAR ADC 共用該餘數放大器；第二級 SAR 子 ADC，用於精細轉換，該第二級 SAR 子 ADC 接收及轉換該被放大的餘數訊號，以產生第二數位碼；以及數位式錯誤校正邏輯，用於接收並組合該第一級 SAR 子 ADC 所產生的第一數位碼與第二級 SAR 子 ADC 所產生的第二數位碼，以產生表示該類比輸入訊號的數位訊號。該餘數放大器是單級操作放大器，其具有低增益，且以次臨界值操作。

該餘數放大器之增益小於 32，以減緩該餘數放大器之增益要求、訊號放大要求、雜訊要求、準確度要求、電力消耗要求及速度要求。較佳地，該餘數放大器之增益為 8。

該第一級 SAR 子 ADC 包含數位至類比轉換器，且該數位至類比轉換器包含電容器陣列，該電容器陣列具有三種用途：進行輸入取樣、SAR 子 ADC 轉換及產生餘數，以降低輸入電容負載、晶片面積及電力消耗，而達到減除額外電容器陣列的效果。

根據申請專利範圍第 1 項之類比至數位轉換器電路，其中以次臨界值操作之該餘數放大器係以 1V 供應電壓操作



### 【實施方式】

將參照圖1來進行說明。圖1是根據本發明實施例之類比至數位轉換器(ADC)之方塊圖。圖1表示兩級式時間交錯連續漸近暫存器(SAR)ADC電路10，其解析度為11位元，取樣率為60MS/s。ADC電路10包含兩個兩級式時間交錯SAR ADC。每一個SAR ADC包含第一級SAR子ADC 11、第二級SAR子ADC 12、餘數放大器13以及數位式錯誤校正邏輯14。

第一級SAR子ADC 11是一個6位元ADC，其接收類比輸入訊號 $V_{in}$ 並將該類比輸入訊號 $V_{in}$ 進行轉換，用以產生6位元數位碼。因此，第一級SAR子ADC 11在於轉換該粗略的6位元碼。第一級SAR子ADC 11亦產生餘數訊號，而餘數放大器13將該餘數訊號放大，以供下一級之精細轉換。

餘數放大器13是增益為8之單級操作放大器，其放大第一級SAR子ADC 11所產生之餘數訊號。然後將該被放大之餘數訊號提供給第二級SAR子ADC 12，做為第二級SAR子ADC 12之輸入。這兩個兩級式時間交錯SAR ADC共用餘數放大器13。亦即，這兩個兩級式時間交錯SAR ADC使用相同的餘數放大器。

為了符合第一級SAR子ADC 11的6位元，餘數放大器的增益一般而言應該是32。然而，操作放大器的高輸出擺動會限制低壓操作放大器的結構。適當的取捨是使用增益

為 8。藉由將增益降低為 8，餘數放大器 13 便具有低輸出擺動，其優點在於：相較於 32 倍的放大需求而言，增益要求、訊號放大要求、雜訊要求、準確度要求、電力消耗要求、速度要求及操作放大器的擺動要求全都減緩了。在低輸出擺動情況下，便可使用時間交錯路徑所共用之伸縮式增益提升串級架構。

第二級 SAR 子 ADC 12 是一個 6 位元 ADC，其接收來自餘數放大器 13 所放大之餘數訊號並轉換該放大之餘數訊號，用以產生 6 位元數位碼。因此，第二級 SAR 子 ADC 12 在於轉換該精細的 6 位元碼。

數位式錯誤校正邏輯 14 接收並組合第一級 SAR 子 ADC 11 所產生的粗略 6 位元數位碼與第二級 SAR 子 ADC 12 所產生的精細 6 位元數位碼，以輸出 11 位元數位碼至多工器。可使用數位式錯誤校正邏輯 14 來校正第一級 SAR 子 ADC 11 與第二級 SAR 子 ADC 12 中的比較器偏移。

將參照圖 2 及圖 3 來進行說明。圖 2 是時序圖，表示圖 1 的 ADC 電路 10 之操作的時間關係。圖 3 是圖 1 的第一級 SAR 子 ADC 11 加上餘數放大器 13 的方塊圖。

於圖 3 中，第一級 SAR 子 ADC 11 包含 6 位元數位至類比轉換器 (DAC)、比較器 15、連續漸近暫存器 (SAR) 邏輯 16。如圖 3 所示，8 單位電容器陣列及 4 位元參考電壓階梯電路構成了該 6 位元數位至類比轉換器 (DAC)。

在第一級 SAR 子 ADC 11 中的 SAR 架構中，連續漸近暫存器 (SAR) 邏輯 16 操作用以控制 6 位元數位至類比轉換器之

輸出，並輸出粗略的 6 位元數位碼給數位式錯誤校正邏輯 14。該 6 位元數位至類比轉換器產生了將被餘數放大器 13 放大之餘數訊號。

程序追蹤偏壓網路（圖未示）產生了  $V_{g,bias}$ ，用於設定輸入共模電壓的適當值。在時槽  $\Phi_s$  期間，輸入訊號被預先充電到 DAC 電容器陣列（8 單位電容器陣列）。然後，在剩餘時槽  $\Phi_{c1}$  期間，進行 6 位元 SAR 轉換。在轉換結束時，餘數電荷仍留在 DAC 電容器陣列之頂板上。該電荷被累積於 DAC 電容器陣列之單位電容上，用於在時槽  $\Phi_{RA}$  期間進行 8 倍餘數放大。

兩個時間交錯路徑共用了餘數放大器 13。這種時間交錯使第一級 SAR 子 ADC 11 的 DAC 電容器陣列有兩種用途。也就是，DAC 電容器陣列操作用於進行輸入取樣、SAR 子 ADC 轉換及產生餘數。因此，被取樣用於粗略轉換的訊號被再度使用用於產生餘數。在第一級 SAR 子 ADC 11 中，僅僅需要一個電容器陣列來進行取樣、ADC 轉換、DAC 轉換以及餘數放大。這種特徵減少了輸入電容負載及電力消耗，並在取樣粗略轉換及精細轉換的輸入時，避免了因時脈失準所造成的錯誤。這種取樣/保持的再使用允許使用較大單位電容，進而改善了時間交錯路徑的匹配。

將參照圖 4 來進行說明。圖 4 表示第二級 SAR 子 ADC 12。在圖 4 中，第二級 SAR 子 ADC 12 包含 6 位元數位至類比轉換器（DAC）、比較器 17、連續漸近暫存器（SAR）邏輯 18。如圖 4 所示，電容器陣列與 2 位元參考電壓階梯電路構

成了該 6 位元數位至類比轉換器。電容器 8C 及 16C 並不是第二級 SAR 子 ADC 12 的一部分，電容器 8C 及 16C 用於將參考電壓放大 4 倍，以符合餘數放大器 13 的低內部級增益所需。

在第二級 SAR 子 ADC 12 中的 SAR 架構中，連續漸近暫存器 (SAR) 邏輯 18 操作用以控制 6 位元數位至類比轉換器之輸出，並輸出精細的 6 位元數位碼給數位式錯誤校正邏輯 14。在時槽  $\Phi_{c2}$  期間，第二級 SAR 次 ADC 12 進行轉換的工作。

將參照圖 5 來進行說明。圖 5 表示餘數放大器 13 的電路圖。餘數放大器 13 以次臨界值操作。在餘數放大器 13 中，電晶體保持於次臨界值，進而將負擔減到最小，並使供應電壓為 1 伏特。由於是以次臨界值操作，電晶體 T1 的閘極-源極電壓 ( $V_{GS}$ ) 可被設定成相當接近於電晶體 T2 的置換電壓 ( $V_{OD}$ )，以便不增加伸縮式增益提升操作放大器所需之額外負擔。由於增益的降低以及餘數放大器 13 以次臨界值操作，實現了高效率電力的單級操作放大器。

綜合上述，本發明提供了低耗電的兩級式時間交錯連續漸近暫存器 (SAR) ADC，其最佳操作區域是在較高解析度及較高速度範圍中，而不是單級動態 SAR DAC，其最佳操作區域是在中間值解析度及較低速度範圍中。在本發明中，在時間交錯路徑之間共用的單級餘數放大器具有較低增益 8 且以次臨界值操作，藉以實現高效率電力設計。

本發明不限於以上說明內容。於未背離本發明之精神

及範圍下，熟悉本項技術人士可對實施例之細節進行各種改變。

#### 【圖式簡單說明】

圖 1 是根據本發明實施例之類比至數位轉換器（ADC）之方塊圖。

圖 2 是時序圖，表示圖 1 的類比至數位轉換器之操作的時間關係。

圖 3 是根據本發明實施例之第一級 SAR 子 ADC 及餘數放大器的方塊圖。

圖 4 是根據本發明實施例之第二級 SAR 子 ADC 的方塊圖。

圖 5 是根據本發明實施例之餘數放大器的電路圖。

#### 【主要元件符號說明】

- 10：類比至數位轉換器（ADC）電路
- 11：第一級連續漸近暫存器（SAR）子 ADC
- 12：第二級連續漸近暫存器（SAR）子 ADC
- 13：餘數放大器
- 14：數位式錯誤校正邏輯
- 15：比較器
- 16：連續漸近暫存器（SAR）邏輯
- 17：比較器
- 18：連續漸近暫存器（SAR）邏輯。

T1 : 電 晶 體

T2 : 電 晶 體

## 七、申請專利範圍：

1. 一種類比至數位轉換器 (ADC) 電路，包含：

多個時間交錯連續漸近暫存器 (SAR) ADC，每一個該時間交錯 SAR ADC 包含：

第一級 SAR 子 ADC，用於粗略轉換，該第一級 SAR 子 ADC 接收及轉換類比輸入訊號，以產生第一數位碼及餘數訊號；

餘數放大器，用於放大該第一級 SAR 子 ADC 所產生之該餘數訊號，以輸出被放大的餘數訊號，其中該多個時間交錯 SAR ADC 間共用該餘數放大器；

第二級 SAR 子 ADC，用於精細轉換，該第二級 SAR 子 ADC 接收及轉換該被放大的餘數訊號，以產生第二數位碼；以及

數位式錯誤校正邏輯，用於接收並組合該第一級 SAR 子 ADC 所產生的第一數位碼與第二級 SAR 子 ADC 所產生的第二數位碼，以產生表示該類比輸入訊號的數位訊號；

其中，該餘數放大器是單級操作放大器，其具有低增益，且以次臨界值操作。

2. 根據申請專利範圍第 1 項之類比至數位轉換器電路，其中該餘數放大器之增益小於 32，以減緩該餘數放大器之增益要求、訊號放大要求、雜訊要求、準確度要求、電力消耗要求及速度要求。

3. 根據申請專利範圍第 2 項之類比至數位轉換器電路，其中該餘數放大器之增益為 8。

4. 根據申請專利範圍第 1 項之類比至數位轉換器電路，其中該第一級 SAR 子 ADC 包含數位至類比轉換器（DAC），且該數位至類比轉換器包含電容器陣列，該電容器陣列具有三種用途：進行輸入取樣、SAR 子 ADC 轉換及產生餘數，以降低輸入電容負載、晶片面積及電力消耗。

5. 根據申請專利範圍第 1 項之類比至數位轉換器電路，其中以次臨界值操作之該餘數放大器係以 1V 供應電壓操作。



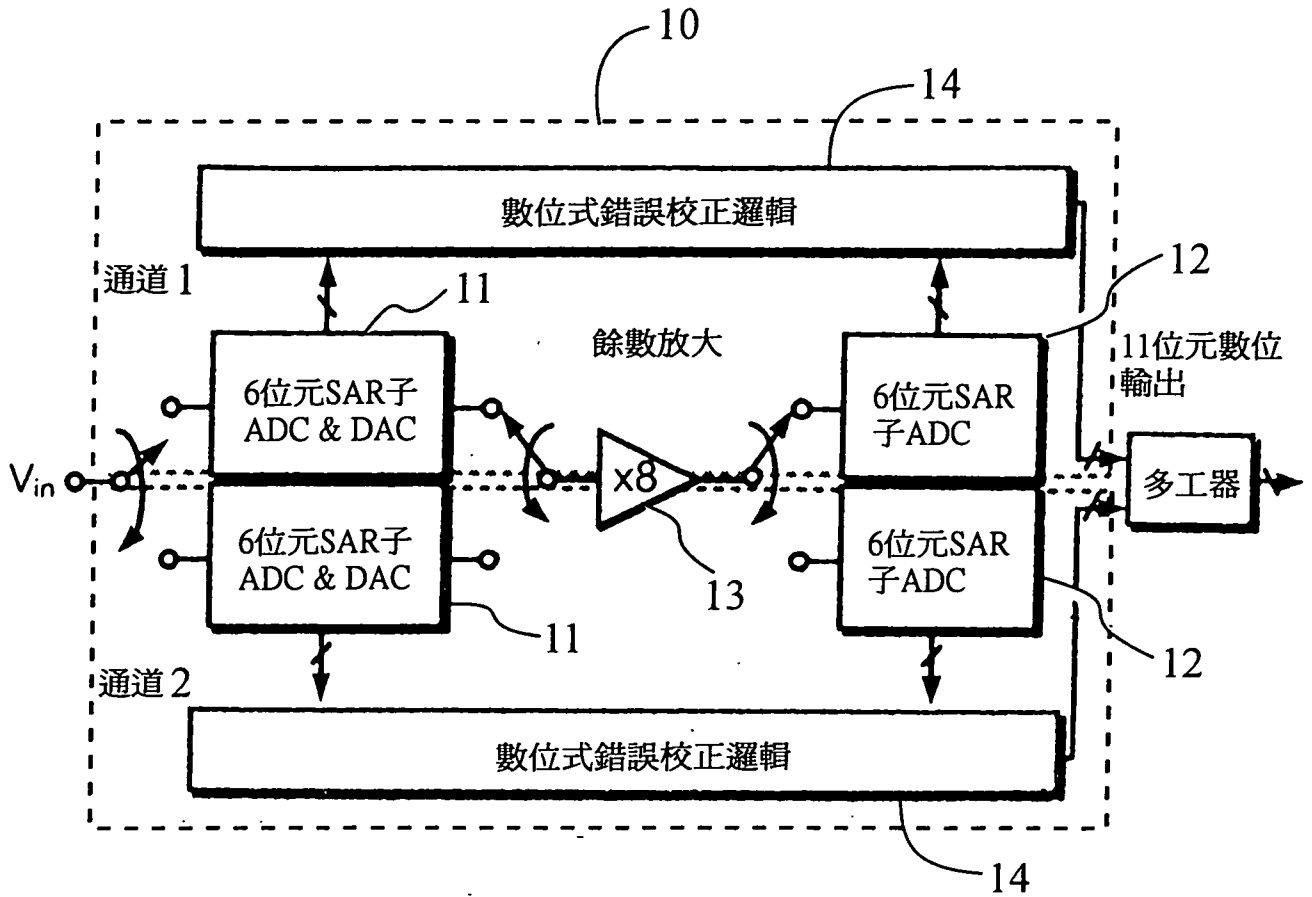


圖 1

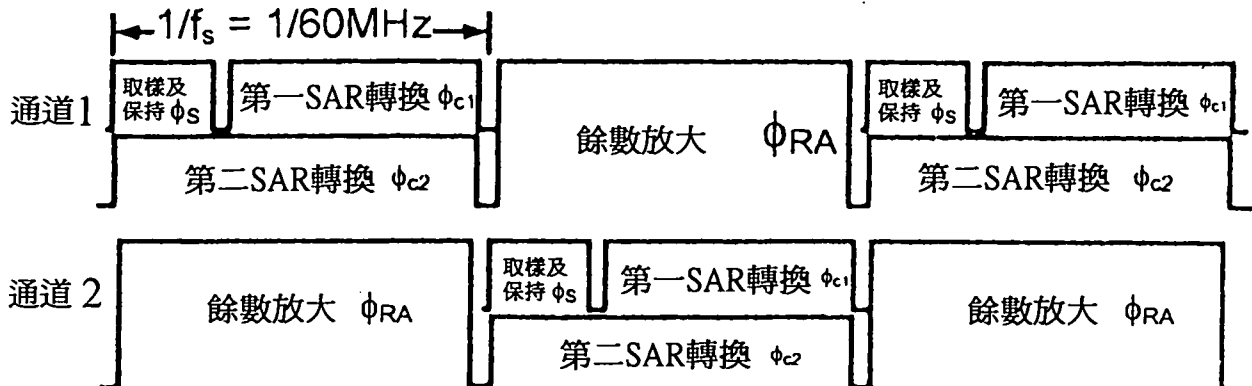


圖 2

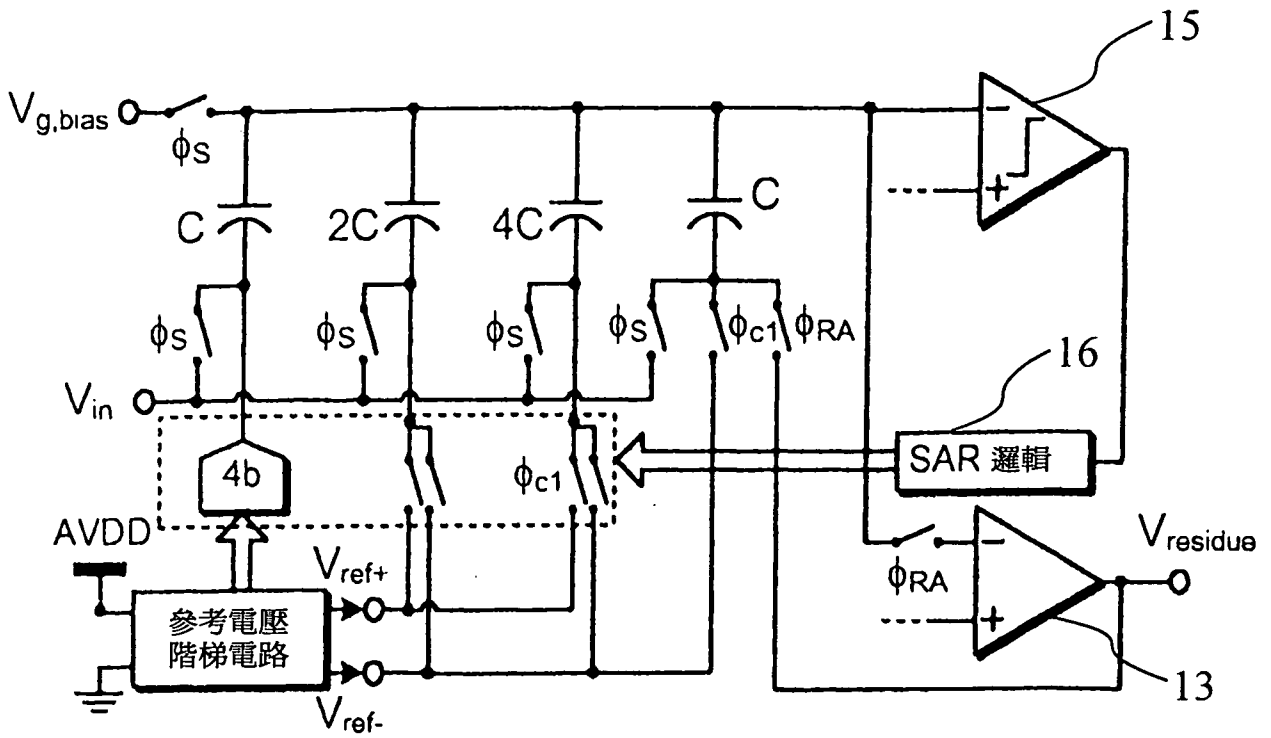


圖 3

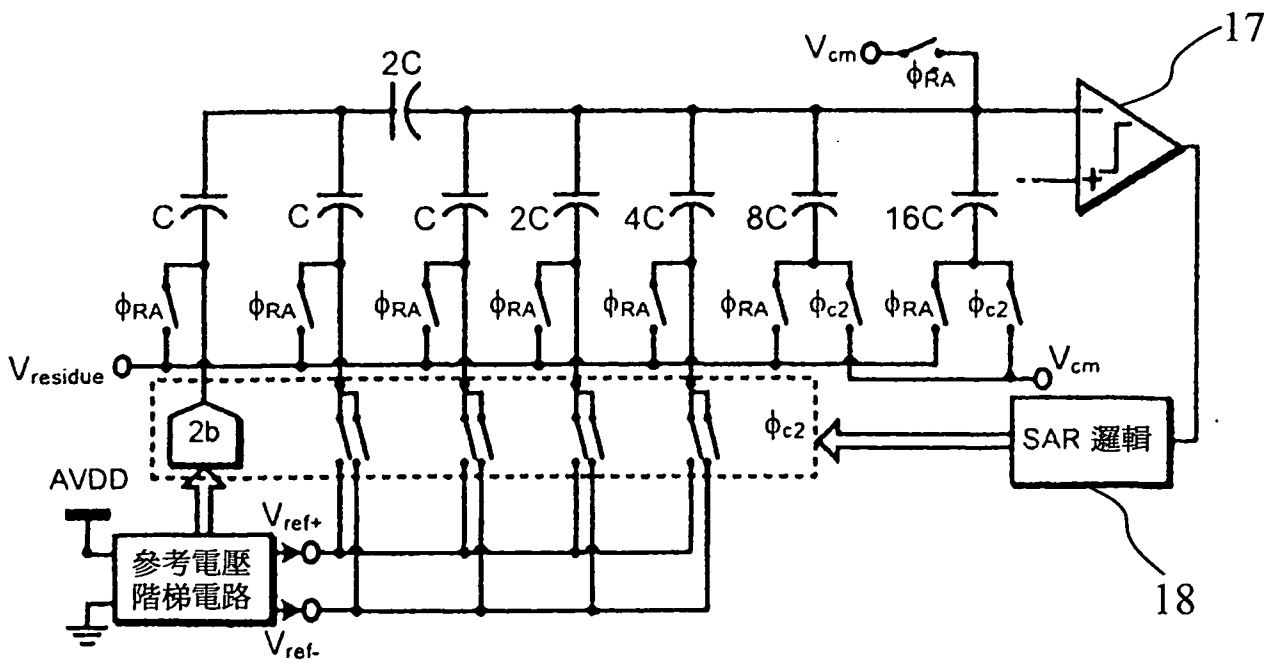


圖 4

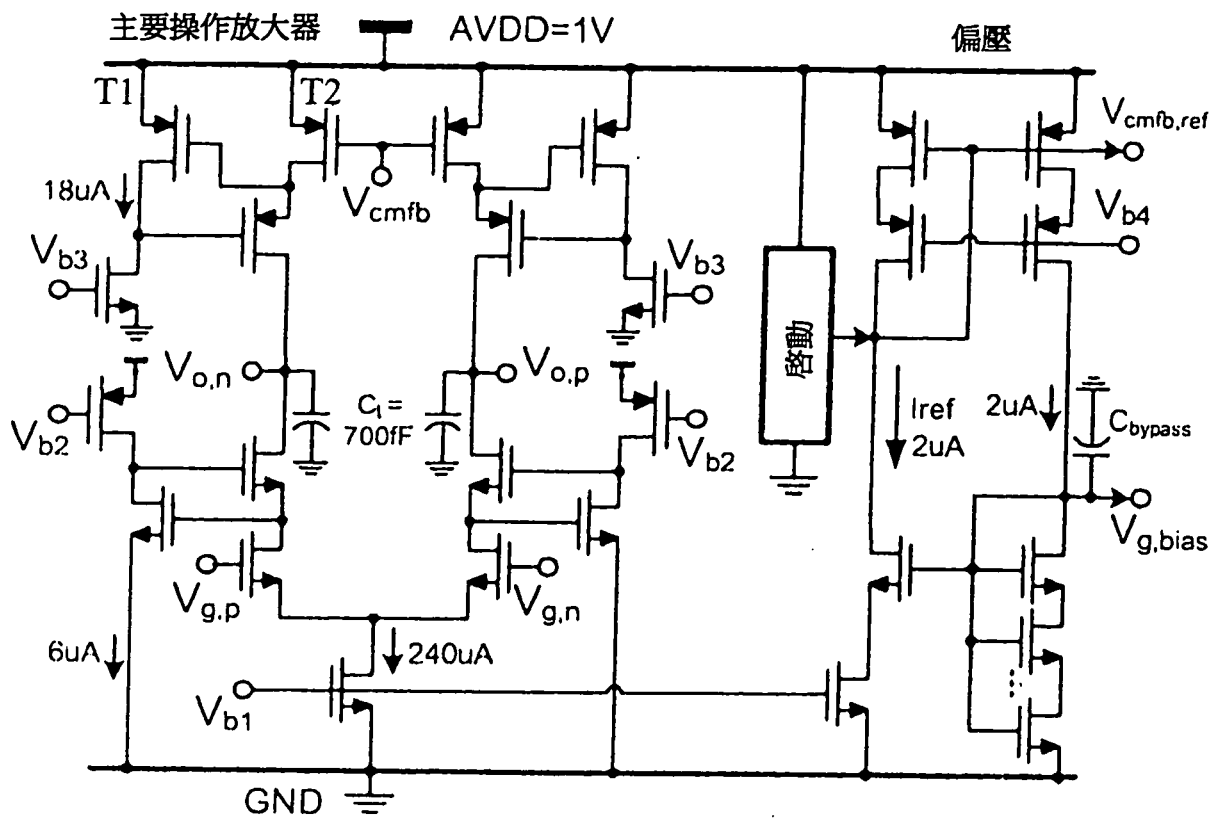


圖5